

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

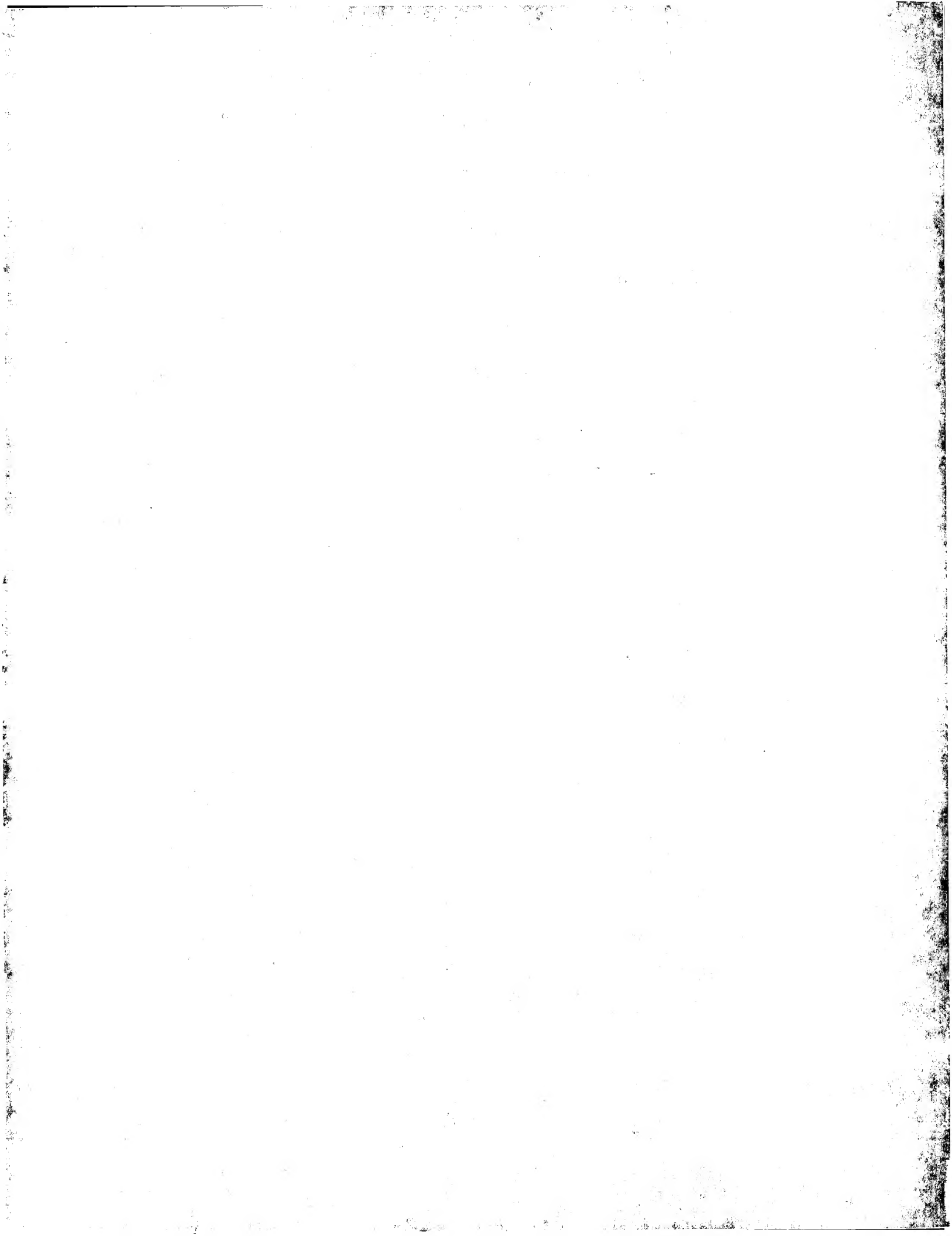
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Problem Image Mailbox.**



Requested Patent: JP60182731  
Title: SEMICONDUCTOR DEVICE  
Abstracted Patent: JP60182731  
Publication Date: 1985-09-18  
Inventor(s): KAWAGUCHI TAMOTSU  
Applicant(s): TOSHIBA KK  
Application Number: JP19840038086 19840229  
Priority Number(s):  
IPC Classification: H01L21/60

Equivalents:

**ABSTRACT:**

**PURPOSE:** To improve area efficiency by bringing the size of a semiconductor chip on the upper side to a slightly small size and each connecting a semiconductor chip on the lower side to a conductor through wireless bonding and the upper side chip to it through wire bonding in two kinds of the semiconductor chips, the backs thereof are fixed mutually.

**CONSTITUTION:** When the backs of semiconductor chips 14' and 16' of two kinds are fixed mutually by using adhesives 15, the size of the upper chip 16' is previously made slightly larger than that of the lower chip 14'. When the lower chip 14' is connected to split conductors 12 formed on the surface of a substrate 11, solder bumps 13 are shaped at both ends of the lower surface of the chip 14', and the bumps 13 are each fixed to the conductors 12 through a face down. Metallic wires 17 are used in the chip 16', and the chip 16' is connected to several conductor 12 through a face up. Accordingly, a semiconductor device with a large number of connecting conductors is obtained without magnifying the size of the chips.

**THIS PAGE BLANK (USPTO)**

① 日本国特許庁(JP)

② 特許出願公開

③ 公開特許公報(A)

昭60-182731

④ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑤ 公開 昭和60年(1985)9月18日

H 01 L 21/60

6732-5F

審査請求 未請求 発明の数 1 (全3頁)

⑥ 発明の名称 半導体装置

⑦ 特 願 昭59-38086

⑧ 出 願 昭59(1984)2月29日

⑨ 発 明 者 川 口 保 川崎市幸区堀川町72番地 東京芝浦電気株式会社堀川町工場内

⑩ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑪ 代 理 人 弁 理 士 猪 股 清 外3名

## 明 細 書

1. 発明の名称 半導体装置

### 2. 特許請求の範囲

1. 互いに裏面どうしを固着した2種類の半導体チップを側見、一方の半導体チップはワイヤレスボンディングにより基板上の電極引出導体に接続され、他方の半導体チップはワイヤボンディングにより前記電極引出導体に接続された半導体装置。

2. ワイヤボンディングにより電極引出導体に接続される半導体チップの大きさがワイヤレスボンディングにより前記電極引出導体に接続される半導体チップの大きさよりも小さいものである特許請求の範囲第1項記載の半導体装置。

### 3. 発明の詳細な説明

#### (発明の技術分野)

本発明は半導体装置に係り、特に半導体素子ベ

レットとリードフレーム間の配線が行われる半導体装置に関する。

#### (発明の技術的背景)

半導体装置はウェーハ上写真食刻技術等によって多数形成された集積回路を分離して半導体チップとし、これをセラミック基板上またはリードフレームのペッドに搭載し、適当なシール等を行ってパッケージを形成している。

第1図乃至第3図は従来使用されている半導体装置の代表的な形式を示した中心断面図であって、第1図ではセラミック等の基板1上に設けられた導体2の上に半導体チップ4がワイヤボンディングにより表面を上向き(フェースアップ)に固着されており、この半導体チップ4の電極はその裏面に配設された外部引出用導体3とボンディングワイヤ5によって接続されている。

また第2図および第3図はボンディングワイヤを使用しない、いわゆるワイヤレスボンディングによる半導体装置を示す正面図であって、第2図においてはセラミック等の基板1上に設けられた

**THIS PAGE BLANK (USPTO)**

外部引出用導体16に半導体チップ14が表面を下向き（フェースダウン）にはんだ等の突起物であるパンプ13を介して取付けられており、フリップチップ方式と称される。第3図はビームリード方式の実装法を示すもので、半導体チップの電極部に微細な金のビーム状リード18をウェーハ工程で形成しておき、基板11上に形成された金導体パターン9にフェースダウンで熱圧着されている。ワイヤレスボンディング方式には他に金パンプを有する半導体チップを長尺ポリイミドテープ上に多数取付けたものから切断して使用するTAB (Tape Automated Bonding) 方式等があり、それぞれ特徴を有しているが、これらは単独で使用されるにすぎない。

#### 〔背景技術の問題点〕

しかしながら、近年の半導体装置における高集積化に伴い半導体チップから引き出す電極の数は増加しつつあるが、このような多数の電極に対しては従来の構成では小さな半導体チップの周面に配設できる導体の数に限度が生ずる。

の大きさを増加させることなく多数の引出導体との接続を可能ならしめるものである。

#### 〔発明の実施例〕

以下、図面を参照しながら本発明の一実施例について詳細に説明する。

第4図は本発明の典型的な実施例を示す中央断面図であって、基板11上に形成された導体12にははんだパンプ13によって半導体チップ14がフェースダウンで固着されており、この半導体チップ14の上には接点部13によりもう一つの半導体チップ16がフェースアップで固着されている。半導体チップ16上の電極からは金またはアルミニウムのワイヤ17で導体12に対して接続が行われている。したがって2つの半導体チップ14および16は互いに表面どうしが結合されている。

第5図は第4図の場合を上面から見た図であって、放射状に形成された導体12Aは半導体チップ14の下まで伸び、第4図に示したようにはんだパンプ13を介してワイヤレスボンディングにより接続されている。導体12A間に形成された導体12B

半導体チップの周面に配設される導体の数を増加させる手段として導体の先端位置を半導体チップの中心より遠ざけることも可能であるが、そのためには半導体チップの大きさそのものを大きくする必要が生ずる。このような大きな半導体チップでは不良箇所が生ずる可能性が高まり、高い歩留りで半導体チップを製造することが困難となるという問題がある。

#### 〔発明の目的〕

本発明は、上記問題点を解決するためになされたもので、半導体チップの大きさを拡大することなく、しかも多数の導体接続を有する半導体装置を提供することを目的とする。

#### 〔発明の概要〕

上記目的達成のため、本発明においては、互いに表面どうしを固着した2種類の半導体チップを備え、一方の半導体チップはワイヤレスボンディングにより電極引出導体に接続され、他方の半導体チップはワイヤボンディングにより前記電極引出導体に接続するようにしており、半導体チップ

はやはり放射状となっているがその先端位置は導体12Aとショートのおそれのない程度の間隔を確保できる位でとどまっている。この導体12Aは、半導体チップ14上にフェースアップで固着された半導体チップ16上の電極18とワイヤ17によって接続されている。

第6図は本発明の他の実施例を示す中央断面図であって、第4図および第5図では2つの半導体チップ14および16の大きさが同じであったのに対し、この実施例ではワイヤレスボンディングで導体12と接続される下側の半導体チップ14'の大きさがワイヤ17により導体12と接続される半導体チップ16'の大きさよりも大きくなっている。このような構成ではあらかじめ2つの半導体チップを固着しておき、ワイヤレスボンディングを下の半導体チップの外形をガイドとして正確に行い、またワイヤボンディングを安定に行うことができる。

以上の実施例においては互いに表面どうしを接点部で接合した半導体チップを使用しているが、他の適当な手段により固着されるものであっても

よい。

また実施例では下側の半導体チップの導体との接続をはんだパンプを使用したフリップチップ方式で行っているが、ビームリード方式やTAB方式等のあらゆるワイヤレスボンディングを使用することができる。

〔発明の効果〕

以上のように、本発明においては、互いに表面どうしを固着した2種類の半導体チップのうち一方はワイヤレスボンディングで、他方はワイヤボンディングで基板上の導体に接続するようにしているため、半導体チップ周面に形成される導体の数を半導体チップの大きさを拡大することなく増加させることができ、面積効率が向上する。

また、小さな半導体チップを2種類使用しているので、良品を選別して組み合わせることができ、はじめから大きな半導体チップで形成する場合と比較して歩留りを向上させることができる。

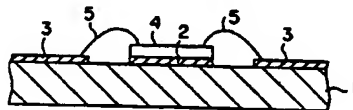
4 図面の簡単な説明

第1図ないし第3図は従来の半導体基板上における実装の様子を示す中央断面図、第4図は本発明の一実施例の形成を示す中央断面図、第5図はその平面図、第6図は本発明の他の実施例を示す中央断面図である。

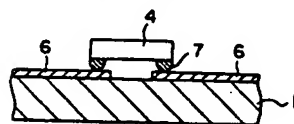
1、11…基板、2、3、6、9、12…導体、4、14、16…半導体チップ、5、17…ワイヤ、7、13…はんだパンプ、15…接合剤。

出願人代理人 新 野 清

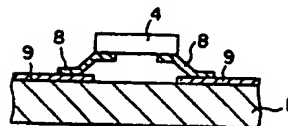
第1図



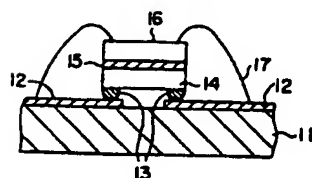
第2図



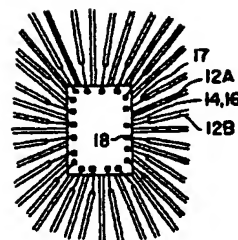
第3図



第4図



第5図



第6図

